

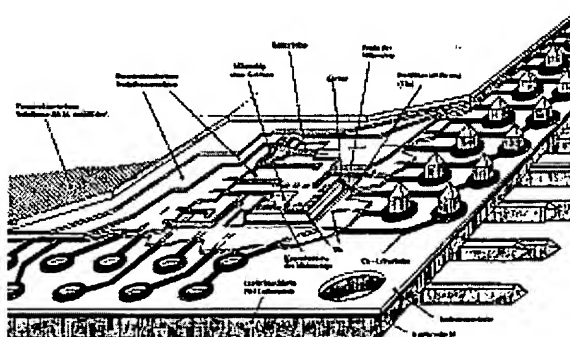
## Thin-layer circuit board for e.g. chip card

**Patent number:** DE19642488  
**Publication date:** 1998-04-16  
**Inventor:** KLOSE BERND (DE)  
**Applicant:** KLOSE BERND (DE)  
**Classification:**  
**- international:** *H01L23/13; H01L23/538; H01L25/065; H05K1/18; H05K3/46; H01L23/12; H01L23/52; H01L25/065; H05K1/18; H05K3/46; (IPC1-7): H05K3/30; H01L21/304; H01L21/306; H05K1/18; H05K3/46*  
**- european:** H01L23/13; H01L23/538K; H01L25/065M; H05K1/18C6  
**Application number:** DE19961042488 19961015  
**Priority number(s):** DE19961042488 19961015

[Report a data error here](#)

### Abstract of DE19642488

The circuit board has an UV cross-linked coating on a fibre reinforced synthetic resin plate. The chip-type electronic and other components of very flat configuration are embedded firmly in special depressions of the synthetic resin plate, forming the circuit board substrate. The depressions are bored and milled in the plate by computer controlled machine tools, dependent on data of computerised graphical design. Typically the electric terminal faces are directed towards the synthetic resin plate surface. The depression mounted components may be covered by the UV cross-linked coating.



---

Data supplied from the esp@cenet database - Worldwide

19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

12 Offenlegungsschrift  
10 DE 196 42 488 A 1

21 Aktenzeichen: 196 42 488.7  
22 Anmeldetag: 15. 10. 96  
43 Offenlegungstag: 16. 4. 98

51 Int. Cl.<sup>6</sup>:  
H 05 K 3/30  
H 05 K 1/18  
H 05 K 3/46  
H 01 L 21/304  
H 01 L 21/306

DE 196 42 488 A 1

71 Anmelder:  
Klose, Bernd, 57076 Siegen, DE

72 Erfinder:  
gleich Anmelder

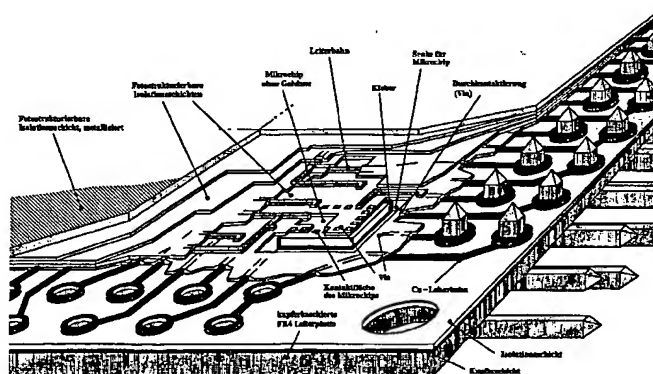
56 Für die Beurteilung der Patentfähigkeit in Betracht  
zu ziehende Druckschriften:

DE	33 28 339 C2
DE	31 25 518 C2
DE	34 07 799 A1
DE	92 10 198 U1
US	54 34 751
US	54 32 677
US	53 59 496
EP	07 35 806 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

54 Verfahren zur Kontaktierung von Mikrochips und zur Herstellung von Mehrlagen-Dünnschichtleiterplatten, insbesondere für superflache Multichip-Modul- und Chipcard-Anwendungen

57 Das Dokument behandelt ein Verfahren zur Kontaktierung von Mikrochips und zur Herstellung von Mehrlagen-Dünnschichtleiterplatten, insbesondere für superflache Multichip-Modul- und Chipcard bzw. Smartcard-Anwendungen. Das Verfahren ermöglicht die nahezu dimensionslose Ankontaktierung von Mikrochips und die Herstellung von vollständig assemblierten, laminatbasierten Multichip-Modulen (MCM-L). Der Substratkern besteht im einfachsten Fall aus FR4-Material, in den die Mikrochips oberflächenbündig eingelassen werden. Auf diesen wird eine Isolationsschicht aus handelsüblicher uv-strukturierbarer Trockenlötstopmmaske aufgebracht, die eine zeitgleiche Herstellung aller Kontaktlöcher (Mikrovias) zu den Chipkontakt-Pads ermöglicht. Eine anschließende ganzflächige, chemische (=außenstromlose) Metallisierung sorgt für die elektrische Kontaktierung der Chips. Zur Steigerung der Haftfestigkeit zwischen Lötstopmmaske und Metall wird die Oberfläche des Kunststoffs mittels optimierter Raustrahlung aufgeschlossen. Die abgeschiedene Metallschicht zur Chipkontaktierung dient zusätzlich als Elektrode für das Semiadditiv-Verfahren zum Aufbau von Leiterbahnstrukturen. Weitere Isolations- und Metallagen führen zum Multilayer-Leiterplattensubstrat.



DE 196 42 488 A 1

## Beschreibung

## Anwendungsgebiet

Die Erfindung betrifft ein Verfahren und die erweiterte Verwendung von Materialien entsprechend dem Oberbegriff des Anspruchs 1.

## Stand der Technik

## Thematische Einordnung

Komplexe elektronische Schaltungen werden traditionell als sog. "Integrated Circuits" -IC- realisiert, wenn geringer Platzverbrauch und/oder hohe Betriebsgeschwindigkeit gefordert sind. Die fortschreitende Verfeinerung der Fertigungstechniken und die damit einhergehende Miniaturisierung ermöglicht es mittlerweile, ganze Systeme auf einem Halbleiterchip zu realisieren. Diese Entwicklung ist aus ökonomischer Sicht nur noch bedingt fortsetzbar, da beispielsweise einzelne Systemkomponenten unterschiedliche, nur schwer kombinierbare Fertigungsprozesse bzw. Materialien fordern. Ferner nimmt mit steigender Systemdichte und wachsenden Chipabmessungen die Wahrscheinlichkeit von fertigungsbedingten Ausfällen deutlich zu. Aus diesen Gründen wurde in den letzten zwei Jahrzehnten aus dem Entwicklungszweig > die sog. "Multichip-Modul"-Technik (MCM-Technik) abgeleitet. Hierbei handelt es sich um Feinstleiterplatten (=Substrate), bestückt mit gehäuselosen Standardchips (=Dice), die zusammen das Gesamtsystem bilden. Diese Multichip-Module erreichen aufgrund ihrer geringen Abmessungen und der somit äußerst kurzen Leiterbahnverbindungen annähernd die Leistungsfähigkeit von Ein-Chip-Systemen.

## Fokussierte Thematik

Gängige Substratmaterialien sind zum einen anorganische Träger, wie Metall, Keramik oder Silizium und zum anderen organische Träger, beispielsweise FR4- oder FR5-Leiterplattenmaterial. In der anorganischen Substratgruppe kommen die unterschiedlichsten Fertigungsprozesse der Hybrid- und Halbleitertechnik zum Einsatz. Die Gruppe der organischen Substrate basiert hingegen auf den weiterentwickelten Prozessen der Leiterplattenfertigung. Die derzeit gängige Leiterbahnbreite liegt zwischen 50 µm und 100 µm. Die Anzahl der Metall- und der Isolationslagen kann, je nach Bedarf, von einer bis hin zu 46 Lagen variieren [Zeitschrift Semiconductor International, Juni 1996: "Materials for Multichip Modules", Dr. Jerry E. Sergeant]. Die Schichten werden dabei einzeln vorgefertigt (Prepreg) und anschließend unter hohem Druck, bei definierten Temperaturen im Vakuum zusammengepreßt. Diese Art der Träger wird als Dickschichtleiterplatte bezeichnet. Eine weitere Herstellungsmethode von organischen Leiterplattensubstraten ist die der Dünnschichtleiterplatte. Bei ihr werden die Isolationschichten gegossen oder auflaminiert und die Metallagen auf elektrostatisch/galvanischem [DVM-Bericht 700, Seite 139ff. Th. Hoffmann "Substratwerkstoffe für preisgünstige Multichip-Module", Andus Electronic, Berlin und Paper der TU Berlin und des FhG-IZM (Institut für Zuverlässigkeit und Mikrointegration), Berlin "MCM-D Technology"] oder chemisch/galvanischem Weg [Artikel in der Zeitschrift Galvanotechnik 1994, Nr. 12, A. EPM. van Veggel: "Haftfeste Metallisierung von technischen Kunststoffen" und von IBM unter dem Namen "Surface Laminar Circuits (SLC)" angemeldetes Leiterplattenverfahren] realisiert. Die Haftfestigkeit des Metalls auf der Isolation hängt

dabei entscheidend von der Oberflächenbeschaffenheit und den physikalisch-chemischen Eigenschaften des Kunststoffes ab [Offenlegungsschrift vom 08. 05. 1995, DE 195 16 193 A1 oder Seminarband der Fa. SICAN in Hannover vom 16. 04. 1996: MCM. DYCOstrate -eine Substrattechnologie für MCM und PCB. Beitrag von W. Olbrich der Fa. Hewlett Packard]. Die Kontaktierung, zwischen den Metallagen, erfolgt über chemisch abgeschiedenes Metall in selektiv realisierten Verbindungslöchern zwischen zwei und mehr Lagen. Die Herstellung eines solchen Lochs (=Via) kann nach vier verschiedenen Methoden erfolgen: 1. mechanisches Bohren bis zu einem Mindestdurchmesser von 0,3 mm [Firmenschrift der DYCONEX AG, CH-Zürich, "DYCOstrate-Technologie", Jan. 1996], 2. Laserbohren bis 0,1 mm Durchmesser, 3. Plasmaätzen bis 0,05 mm Lochdurchmesser [Firmenschrift der DYCONEX AG, CH-Zürich, Dr. W. Schmidt: "A Revolutionary Answer to Today's and Future Interconnect Challenges"] und 4. chemisches Entwickeln fotoaktiver Isolationsschichten bis 0,03 mm Lochdurchmesser [siehe "IZM. Annual Report 1995/96" (Seite 60ff.), Sept. 1996, Berlin. Fraunhofer Gesellschaft].

Die derzeit am weitesten verbreitete Kontaktierungsmethode der Dice mit dem Substrat ist die des Drahtbondings. Darüber hinaus befinden sich weitere Bond-Verfahren auf dem Markt (Flip-Chip, TAB, FLIP-TAB, BGA etc.). Von Flip-Chip und BGA abgesehen, sind die übrigen Kontaktierungsverfahren serielle Verfahren, d. h., die Kontakte werden nacheinander und nicht zeitgleich hergestellt [Zeitschrift Semiconductor International, Juni 1996: "Wirebonding's Reign Continues", John D'Ignazio]. Ein weiteres Verfahren zur Kontaktierung von Mikrochips beschreibt das sog. "High Density Interconnect"-Verfahren (HDI) von General Electric/Texas Instruments [Zeitschrift Test & Measurement World, März 1992: "Test Dominates MCM Assembly", John Bond]. Hierbei sind die Dice bündig, mit der Kontaktflächenausrichtung zur Oberfläche, in das Substrat eingelassen. Die Leiterbahn und Isolationsebenen werden erst anschließend aufgebaut und decken somit die Dice zu. Das HDI-Verfahren wird auf der Basis von Keramiksubstraten in Verbindung mit elektrostatischer Abscheidung von Metall (Sputtern) angewendet [siehe auch "IZM. Annual Report 1995/96" (Seite 62ff. "Embedding Technology"), Sept. 1996, Berlin, Fraunhofer Gesellschaft].

Nach Abschluß der Kontaktierung und dem Test erfolgt bei allen MCMs die Kapselung des Systems durch ein starres Spezialgehäuse oder mittels elastisch aushärtender Gußmasse (Glob Top) [DVM-Bericht 700, Seite 221ff. "Werkstoffmechanische Untersuchungen an Chipkarten", FhG-IZM Berlin, D. Vogel, A. Schubert, W. Faust, B. Michel, H. Reichl].

## Nachteile des Stands der Technik

## 1. Standardleiterplatte

Die Standardleiterplatte ist für MCM Anwendungen nur bedingt geeignet. Auf Grund der mechanisch gebohrten Durchkontaktierungslöcher von  $\geq 0,3$  mm Durchmesser ist eine effektive Miniaturisierung der Leiterbahnstrukturen unmöglich. Außerdem können die Löcher nicht zeitgleich gebohrt werden, wodurch jedes einzelne Loch direkten Einfluß auf die Fertigungskosten der Leiterplatte hat (serielles Bohrverfahren).

## 2. Multilayer- Leiterplatte

Moderne Multilayer-Leiterplatten verfügen über mehrere Durchkontaktierungstypen: a) durchgängig durch alle Me-

tall- und Isolationsebenen, b) nur von einer Seite offen (Blind-Via) und c) völlig verdeckt zur Verbindung innerer Leiterebenen (Buried-Via). Besonders die beiden zuletzt genannten Via-Typen lassen sich auf mechanischem Weg nur mit Spezialbohrmaschinen realisieren, die bei jeder Bohrung ihre Z-Achsenbewegung am Oberflächenniveau des aktuellen Bohrpunkts ausrichten. Nur so ist es möglich, eine exakt definierte Bohrtiefe für die Blind-Vias zu erzielen.

Ferner wird für die Herstellung von Multilayern eine äußerst präzise Preßvorrichtung mit Vakuumkammer benötigt, damit sich die einzeln vorgefertigten Lagen (Prepregs) ohne Luftfeinschlüsse verpressen lassen.

Abschließend läßt sich sagen, daß bei den Multilayern neben der bereits bei der Standardleiterplatte angeführten Nachteile der stark eingeschränkten Miniaturisierungsmöglichkeit und des seriellen Bohrverfahrens zusätzlich sehr aufwendige und teure Maschinen benötigt werden.

### 3. Dünnschichtleiterplatten mit außenstromlos abgeschiedenen Metallagen

Die Haftfestigkeit des chemisch abgeschiedenen Metalls hängt stark von der Oberflächenrauigkeit des Kunststoffs ab. Das bei Dünnschichtleiterplatten häufig angewendete Anätzen der Oberfläche bewirkt eine Steigerung der Haftfestigkeit, jedoch erreicht sie bei weitem nicht die Spezifikationswerte der Standardleiterplatte. Aufgrund der durch den chemischen Aufschluß charakteristischen Oberflächenmorphologie (Trichterform), ist auch in Zukunft bei dieser Methode keine weitere Steigerung der Haftfestigkeit zu erwarten [Dissertation, Januar 1995: "Untersuchungen zur haftfesten Metallisierung kohlenstoffaserverstärkter Kunststoffe", Markus Menningen, Siegen]. Das in der [Offenlegungsschrift DE 195 16 193 A1 vom 08. 05. 1995] beschriebene Verfahren des Herausätzens eines zusätzlich eingebrachten Füllstoffs erzeugt aus diesem Grund ebenfalls keine haftere Oberflächenstruktur.

Auch das mechanische Aufrauen durch Bürsten oder Schleifen ist problematisch, da es die Schichtstärke des Laminats unkontrollierbar reduziert.

### 4. DYCOstrate-Verfahren

Das DYCOstrate-Verfahren erreicht sehr hohe Haftfestigkeiten zwischen Metall und Isolator durch die Verwendung von vakuumverpreßten Prepregs analog zur Multilayer-technik (wie oben beschrieben). Die Vias werden durch aufwendiges und relativ zeitraubendes Plasmaätzen hergestellt. Damit der Ätzprozeß zeitlich im ökonomisch sinnvollen Rahmen bleibt, ist die Schichtstärke des Isolators deutlich beschränkt (25 bzw. 50 µm), so daß sich parasitäre Effekte, wie induktives und kapazitives Verzerren der Signale, stärker ausbilden können.

Resümierend läßt sich sagen, daß das DYCOstrate-Verfahren aufgrund der aufwendigen Prozesse und Maschinen kostspielig und für Massenartikel zu teuer ist. Darüberhinaus stellt jeder Fertigungsschritt, der im Vakuum ausgeführt werden muß, eine Unterbrechung der Fertigungscontinuität dar. Ein kontinuierliches Durchlaufen einer Vakuumanlage ist technisch nicht zu realisieren.

### 5. Draht-Bondverfahren

Die Kontaktierung zwischen Dice und Substrat erfolgt heutzutage in ca. 80% aller Fälle mittels feiner Drahtbrücken. Dieses Verfahren ist ein serielles Kontaktierungsverfahren, wodurch jede einzelne Verbindung zu den Gesamtkosten der Herstellung beiträgt (analog zum mechanischen

Viabohren). Aufgrund der kontinuierlich zunehmenden Anschlußzahlen bei Halbleiterbausteinen wird der Drahtbond-Prozeß permanent zeit- und kostenintensiver. Diesem Effekt versucht man mit schnelleren Bondautomaten entgegen zu wirken, was jedoch die Automaten wiederum verteuert.

Allgemein läßt sich sagen, daß diese Art der Kontaktierung bei weitem nicht mehr den Anforderungen der modernen Mikroelektronik genügt.

Die Drahtbögen wirken bei den heutzutage üblichen Taktfrequenzen als Antennen. D.h. diese Bereiche sind somit gekennzeichnet durch verstärktes Übersprechen und Abstrahlen von elektromagnetischen Wellen.

Ferner stellt das Drahtgewicht ein Risikofaktor in Bezug auf mechanisch bedingte Vibrationsbrüche dar.

Darüber hinaus bestimmen die Bewegungsbahnen und die diskreten Abmessungen des Bondkopfes den Minimalabstand zwischen den Dice auf dem Substrat. D.h., das Drahtbondverfahren verhindert eine höhere Packungs- bzw. Systemdichte.

### 6. Packaging und Glob-Top-Verfahren

Aufgrund rasant zunehmender Pin-Zahlen pro Die werden immer größere Anforderungen an die Mechanik der Gehäuse gestellt. Schon seit geraumer Zeit wird die Gehäusegröße nicht mehr von der Größe des sich in ihm befindlichen Halbleiterbausteins bestimmt. Die Abmessungen werden von der Anzahl und der Breite der Anschlußbeinein erzwungen. Ein rein mechanische Problem begrenzt somit an dieser Stelle die Miniaturisierungsbestrebungen der Mikroelektronik. Damit sich noch ausreichend kleine Chipgehäuse realisieren lassen, ist man mittlerweile auf einen mittleren Pinabstand von 1/20 Zoll (1,27 mm) heruntergegangen bei Anschlußpins von 0,5 mm Breite. Derartige Gehäuse kapseln das Die zuverlässig, jedoch sind die Pins derart empfindlich, daß das Gehäuse selbst zum Risikofaktor für die weitere Verarbeitung wird.

Ferner sind Gehäusesonderanfertigungen aufgrund der feinmechanischen Anforderungen äußerst kostspielig, wodurch derartige Kapselungen für Kleinserien entweder unrentabel sind, oder zumindest das Produkt entscheidend verteuern. Bei Massenprodukten ist heutzutage das Gehäuse der größte Einzelkostenfaktor.

Ein weiteres Problem liegt bei sog. Plastikgehäusen in der schlechten Wärmeleitfähigkeit. Bei ihnen muß zusätzlich für aktive Kühlung gesorgt werden.

Eine sich mehr und mehr durchsetzende Alternative zum Stagg Gehäuse stellt das bereits beschriebene Glob-Top-Verfahren da. Jedoch gibt es hierbei Schwierigkeiten mit den unterschiedlichen Temperaturendeckungskoeffizienten von Silizium, Vergußmassen und Trägermaterial in Bezug auf die Bonddraht- bzw. Flipchip-Verbindungen. Kontakte werden abgesichert und Chips brechen, wenn die Vergußmasse zu hart ist; Chips lösen sich von dem Träger, ist die Vergußmasse zu weich.

### 7. HDI-Verfahren/Embedding Technology

Sowohl das HDI-Verfahren als auch die Embedding Technology setzen teilweise teures und schwer handhabbares Material, sowie damit verbundene aufwendige und kostspielige Prozesse ein (Reinräume, Laser, Sputtern, Plasmaätzen).

Da die Substratmaterialien (Keramik) mit der Technologie der Halbleiterfertigung verarbeitet werden, können auch nur Substratflächen in der Größenordnung von Wafers prozessiert werden.

Keramik als Substratwerkstoff hat den Nachteil, daß sie

nur vor dem Brennen geformt werden kann und beim Brennen anschließend schrumpft. Der Schrumpfungsfaktor läßt sich nur schlecht einstellen und berücksichtigen, wodurch man zu großen Dimensionstoleranzen gezwungen wird.

Speziell zur Embedding Technology läßt sich ferner sagen, daß das Schneiden von durchgängigen Substraten für die Dice mehrere Nachteile mit sich bringt. Zum einen hat das Die keine stabile Unterlage weshalb es von dem Epoxidharzkleber nur über die Kantenflächen des Fensters gehalten werden kann und zum Anderen birgt der Kleber die Gefahr der Ausgasung von Lösungsmitteln in sich, die die anschließenden Deckschichten beeinträchtigen können.

Ferner muß durch das vollständige Eingießen der Dice anschließend die Substratrückseite wieder plan geschliffen werden, um so eine optimale Anschlußfläche für Kühlungsmaßnahmen darzustellen.

Beide Strategien, HDI und Embedding Technology, lassen keine beidseitige Bestückung des Substrats mit Dice zu, was die Systemdichte begrenzt.

Ein Nachteil ist auch in dem starren Verbund von Substrat und Die zu sehen. Die unumgänglichen materialbedingten teilweise divergenten Temperatursdehnungskoeffizienten verursachen zusätzlichen mechanischen Streß im System, der ein nicht zu vernachlässigendes Ausfallrisiko darstellt.

#### Aufgabe der Erfindung

Die Aufgabe der Erfindung ist es, eine einfache, platzsparende, robuste und kostengünstige Kontaktierungs- und Assemblierungsmethode für Mikrochips zu schaffen, die mit den Anlagen und Werkzeugen einer gewöhnlichen Leiterplattenfertigung durchzuführen ist. Leiterplattenhersteller werden mit der Erfindung in die Lage versetzt, ohne aufwendige Spezialmaschinen vollständige MCM-Systeme herzustellen. Gleichzeitig eignet sich die Erfindung zur Herstellung von doppelseitigen Dünnschichtmultilayer-Leiterplatten mit FR4- oder FR5-Kernlage (Fig. 10).

#### Lösung der Aufgabe

Diese Aufgaben werden durch das Verfahren des Anspruchs 1 gelöst.

#### Vorteile der Erfindung

#### Übergeordnete Vorteile

Die grundlegenden Vorteile des erfindungsgemäßen Verfahrens liegen in der Anwendung von bekannten Prozessen der Leiterplattenfertigung und in der Verwendung von ebenfalls in der Leiterplattenfertigung eingesetzten Standardmaterialien. Somit wird jeder Leiterplattenhersteller auch zum potentiellen MCM-Hersteller, ohne kostenintensive Umrüstungen vornehmen zu müssen.

Das Verfahren ist zudem aufgrund seines kontinuierlichen Fertigungsflusses tauglich für die Serienproduktion.

#### Vorteile technologischer Details

FR4- oder FR5-Leiterplatten als Substratmaterial sind kostengünstig. Das Material ist hinreichend formstabil und läßt sich mit mechanischen Bohr-, Fräs- und Schneidwerkzeugen bearbeiten.

Die für die Aufnahme der aktiven (=Chips) und passiven (Kondensator, Widerstand, Spule etc.) Bauelemente benötigten Senken lassen sich per CNC-Leiterplattenfräse vollautomatisch layoutdatengesteuert mit hoher Präzision herstellen. Passive Komponenten sind bereits in Ultraflachbau-

weise erhältlich, wodurch diese sich ebenfalls wie Mikrochips in das Substrat einfügen lassen.

Nach dem Einkleben der Bausteine wird das gesamte Substrat direkt mit einer Kunststoffschicht versiegelt, die die Bausteine vor Verunreinigung und Oxidation schützt. Die Folgeprozesse müssen somit nicht in aufwendig gefilterter Luft stattfinden. Die Menge des zum Fixieren der Bausteine eingebrachten Klebers darf variieren, da der Kleberüberschuß automatisch in die ohnehin vorhandenen Eckbohrungen der Senken gepreßt wird. Dadurch wird verhindert, daß sich der Kleber durch die Fuge zwischen dem Senkenrand und den Bauteilkanten bis an die Substratoberfläche herausdrückt und das anschließende Aufbringen des Kunststofflaminats stört.

Das Kunststofflaminat wird im sog. Trockenverfahren aufgebracht, wodurch die Fugen zwischen Senkenrand und Die-Kante lediglich überdeckt und nicht gefüllt sind. Somit kann die Fuge als Dehnungszone zum Ausgleich unterschiedlicher Temperatursdehnungskoeffizienten dienen.

Ein weiterer Vorteil des Trockenverfahrens im Vergleich zum Gießverfahren ist die Fähigkeit der präzisen Dickeneinstellbarkeit des Isolationsmaterials. Es sind so diskret einstellbare Stärken zwischen 30 µm und 100 µm möglich.

Da es sich bei dem Material um handelsübliche Lötstopmmaske handelt, die fotografische Eigenschaften besitzt, ist eine Strukturierung auf optischem Weg möglich. Es lassen sich mit Hilfe von UV-Strahlung und entsprechender Maskierung Mikrovias im Bereich von 100 bis 60 µm Durchmesser realisieren, wodurch sich die Systemdichte, im Vergleich zur Standardleiterplatte, deutlich steigern läßt. Ein weiterer großer Vorteil der maskenbasierten optischen Strukturierbarkeit liegt darin, daß es sich hierbei um einen parallelen Prozeßschritt handelt. Alle Löcher werden zeit- und kostensparend zur selben Zeit realisiert.

Erfindungsgemäß werden die Vias nicht nur zum Verbinden von Leiterbahnebenen sondern ebenfalls zum Ankontaktieren von Mikrochips verwendet. Dies ermöglicht den Bau von superflachen Systemen, die zudem eine wesentlich größere elektromagnetische Verträglichkeit (EMV) aufweisen als vergleichbare Wirebonding-Systemen (keine antennenartigen Drahtbögen).

Der große Nachteil der chemischen Kunststoffmetallisierung, die geringe Haftfestigkeit aufgrund chemischer Oberflächenaufrauung ist hinfällig. Durch den erfindungsgemäßen mechanischen Aufschluß der Oberfläche mittels Raustrahlung wird eine deutliche Haftfestigkeitssteigerung (Faktor 3 und mehr im Vergleich zur Ätzaufrauung) erzielt. Zudem bewirkt die Methode der Raustrahlung, daß die Matrix der Isolationsschicht nicht zerstört wird, da das Strahlgut lediglich punktuelle Mikrovertiefungen- und kanäle in das Material schlägt.

Die anschließende chemische Metallisierung dient lediglich zur Bildung einer elektrisch leitfähigen Flächenelektrode für das darauffolgende Semiadditiv-Verfahren zum Leiterzugaufbau. Das Semiadditiv-Verfahren spart Ressourcen, ermöglicht den selektiven Aufbau von Leiterbahnzügen und sorgt für HF-freundliche Leiterzugbilder durch abgerundete Ecken und Kanten.

Aufgrund der oben beschriebenen optischen und chemischen Prozesse ist parallel zur zeitgleichen Herstellung der Durchkontaktierungen auch noch eine beidseitige Prozessierung des Substrats möglich. Durch diesen Umstand wird die Systemdichte weiter gesteigert und die Fertigungskosten nur unwesentlich erhöht. Jeder einzelne Prozeßschritt läßt sich direkt begutachten und gegebenenfalls rückgängig machen und kann wiederholt ausgeführt werden.

Die extrem flache Bauweise der Systeme ermöglicht zahlreiche Anwendungsvarianten.

1. Da das System ein Modul mit extrem geringer Massträgheit darstellt, eignet es sich gut für die Steuerung stark beschleunigter Systeme. Die fehlenden Bondverbindungen und die Abstützung der Bauteile durch ihre Senken macht derart gefertigte Systemmodule vibrationsunempfindlich.
2. Das Modul kann direkt auf einen Kühlkörper o. ä. laminiert werden, um bei hohen Verlustleistungen thermisch bedingten Streß aus dem System abzuleiten.
3. Die Oberflächen können mit SMD-Bausteinen bestückt werden, analog zur gewöhnlichen Leiterplatte.
4. Durch die Realisierung von elastischen Kontaktelementen auf der Oberfläche lassen sich mehrere Module unterschiedlichster Funktionen aufeinanderstapeln und so zu einem dreidimensionalen Gesamtsystem zusammenfügen.

Unabhängig von der Verarbeitung von Bauteilkomponenten, eignet sich das oben beschriebene Prinzip der Dünnschichtleiterplatte auf Basis von metallisierten Lötstopplagen zum preisgünstigen Reparieren von bereits gefertigten, fehlerhaften, unbestückten Leiterplatten. Das Aufbringen einer oder mehrerer zusätzlicher Leiterbahnlagen zur Umverdrahtung kann die Entstehung von Leiterplattenmüll reduzieren.

#### Beschreibung der Erfindung

bezieht sich auf die A3-Schnittbilddarstellung der Fertigungsschritte

**Fig. 1** Ausgehend von einem min. 1,5 mm starken, doppelseitig kupferkaschierten, faserverstärkten FR4- oder FR5-Leiterplattensubstrat wird dieses zunächst beidseitig mit handelsüblichem Fotoresist beschichtet. Mit Hilfe der in der Leiterplattenfertigung üblichen Maskierungs- und Belichtungsverfahren werden die Kupferschichten der beiden ersten Metallebenen des auf diese Weise entstehenden Multilayers strukturiert. Die inneren Lagen sind für Vcc, Gnd und Justiermarken reserviert.

**Fig. 2** Entsprechend der layoutextrahierten Bohr- und Fräsdaten werden die Ecken der Bauteilsenken, die Senken selber und die Durchkontaktierungen im Trägersubstrat realisiert. Benötigt wird hierzu ein handelsüblicher Hochgeschwindigkeits-Leiterplatten-Fräser, der sich auch in Z-Richtung (= Bohr- bzw. Frästiefe) steuern läßt, damit die Senken- und die Ecklöchertiefe der Bauteil-Stärke angepaßt werden können. Damit das Trägersubstrat auf dem Frästisch plan aufliegt, wird es von unten per Vakuum angesaugt. Aus diesem Umstand leitet sich auch die Reihenfolge der Fräsarbeiten ab. Erst werden die Eckbohrungen der Bauteilsenken niedergebracht, die etwas tiefer sind als die anschließend zu fräsenden Senken. Die Durchgangsbohrungen werden zum Schluß realisiert, da sie eine weitere Vakuumfixierung der Leiterplatte unmöglich machen.

Da auch die X/Y-Abmessungen der einzelnen Bauteile Toleranzen unterworfen sind, muß der Layouter immer von den maximalen, positiven Toleranzwerten ausgehen und diese beim Maskenentwurf berücksichtigen. Nach Abschluß der Fräs- und Bohrarbeiten wird die Oberfläche, wie aus der Leiterplattenfertigung bekannt, durch Bürsten aufgeraut und somit für das Laminieren von Kunststoffmaterial vorbereitet.

**Fig. 3** Die exakte Positionierung der Bauteile erfolgt mit Hilfe entsprechender Justiermarken der beiden Metallisierungsebenen aus (**Fig. 1**) und eines Mikromanipulators oder Flipchip-Bonders. Die Bauteile werden mit der Substrat-

oberfläche bündig, unter Zugabe von Wärmeleitkleber in die Senken eingeklebt. Die Anschlußflächen der Bauteile weisen dabei nach oben. Die beiden Substratseiten können einzeln manuell oder zeitgleich per Automat bestückt werden. Die Oberflächen des fertig bestückte Substrats werden abschließend gereinigt.

**Fig. 4** Die fotografische Isolationsschicht wird aufgegossen oder aufgewalzt. Besonders gut eignet sich hierfür das aus der Leiterplattenfertigung bekannte Lötstoppmaskenmaterial (Soldermask), üblicherweise Epoxyharz, Akrylat oder Polyimid mit fotoaktiven Zusätzen, die eine Strukturierung der Schichten mit UV-Licht zulassen.

**Fig. 5** Die Isolationsschicht funktioniert wie ein Negativ-Fotolack, wodurch eine entsprechende Positivmaske aus dem Layout für die Übertragung von Löchern (= Vias) im Material ausreicht. Das Isolationsmaterial ist in Stärken von ca. 2 µm bis hin zu 100 µm verfügbar und erreicht selbst bei maximaler Schichtdicke noch eine Strukturauflösung von 75 µm (herstellerebedingte Variationen der physikalischen Parameter sind zu berücksichtigen).

Im Allgemeinen erfolgt das Herausentwickeln der Löcher mittels verdünntem oder wäßrigem Natriumcarbonat (Soda) oder organischer Lösungsmittel. Ist die hergestellte Schicht einwandfrei, wird diese im Temperofen und anschließend durch UV-Flutbelichtung ausgehärtet und somit mechanisch stabil und chemisch resistent gegen Laugen, Säuren und Lösungsmittel (Standardprozeß der Leiterplattenfertigung) gemacht. Schlupf der oben beschriebene Entwicklungsprozeß fehlt, so läßt sich die Isolationsschicht wieder Strippen (d. h. chemisch ablösen). Das Trägersubstrat kann erneut den Prozeßschritten (**Fig. 4**) und (**Fig. 5**) zugeführt werden. Die Oberfläche der ausgehärteten Isolationsschicht wird durch chemisches Beizen oder durch mech. Schleifen bzw. Raushstrahlen aufgeschlossen.

**Fig. 6** Das gesamte Substrat wird außenstromlos metallisiert. Besonders gut eignen sich hierfür Nickel- und Kupferbäder, jedoch sind weitere Leitermaterialien, wie Gold, Silber o. ä. denkbar. Die außenstromlose oder auch chemische Vernickelung erfolgt maskenlos und autokatalytisch, d. h. das Metall reagiert direkt mit dem Kontaktmetall der Bausteine (zumeist Aluminium). Die weitere Metallisierung mit Kupfer erfordert ein chemisch gereinigtes Substrat, das mit Palladiumkristallen bekeimt ist. Das derart präparierte Substrat überzieht sich im Metallkomplexbad innerhalb weniger Minuten mit einer dünnen Kupferschicht. Es muß während dieses Vorgangs genau darauf geachtet werden, daß sich in den Vialöchern keine Luftblasen befinden, die ein Abscheiden des Metalls verhindern. Aus diesem Grund ist für eine starke Badbewegung zu sorgen. Sämtliche Prozeßschritte (beispielsweise für Kupfer) laufen bei Raumtemperatur ab.

Sobald sich eine optisch geschlossene Metallschicht gebildet hat, wird die chemische Metallisierung abgebrochen. Die Leiterbahnzüge werden nun im Semiadditivverfahren aufgebaut. D.h., Abdecken der chem. Kupferschicht mit neg. Fotolack, maskiertes Belichten, Herausentwickeln der Leiterbahnstrukturen, selektives galvanisches Verstärken der Leiterzüge, Entfernen des Fotolacks und ganzflächiges Ätzen der Kupferschicht bis die Stärke des chem. Kupfers abgeätzt ist. Sollte die Metallschicht Unregelmäßigkeiten oder geringe Haftung auf dem Untergrund aufweisen, so wird das gesamte Metall durch Ätzen wieder entfernt. Das Trägersubstrat kann erneut dem Metallisierungsprozeß unterzogen werden.

**Fig. 7** Die erste Leiterbahnebene und die Kontaktierung der Mikrochips sind somit hergestellt. Bevor nun erneut eine fotografische Isolationsschicht aufgetragen wird, sollten die Kontakte zu den Chips überprüft werden. Das bedeutet, daß die ersten und zweiten Metallisierungsebenen bereits über

Strukturen verfügen müssen, die die Spannungsversorgung und Testbusanbindung der Chips gewährleisten. Notfalls müssen zunächst Leiterbahnen in den zweiten Leiterbahnebenen realisiert werden, die sich nach erfolgreichem Testdurchgang wieder entfernen lassen (Ätzen, Fräsen oder Lasern). Ist das Modul fehlerfrei, wird eine weitere fotografische Isolationsschicht aufgebracht und, wie in (Fig. 5) beschrieben, strukturiert.

Fig. 8 In Abhängigkeit von der Layoutkomplexität lassen sich analog zu (Fig. 5 bis 7) weitere Leiterbahn- und Isolationsebenen aufbauen. Es gilt zu beachten, daß jeder fehlerhafte Beschichtungsprozeß nur dann rückgängig zu machen ist, solange noch keine Folgeprozeßschritte erfolgt sind. Das heißt, die Isolationsschicht läßt sich nur dann wieder ablösen, wenn sie noch nicht ausgehärtet wurde, und das Metall läßt sich nur dann wieder abätzen wenn noch keine weitere Kunststoffschicht aufgetragen worden ist.

Fig. 9 Abschließend kann die beidseitige Bestückung des Substrats mit weiteren aktiven und passiven SMT-Bauelementen, mit Kühlkörpern und Steckern erfolgen.

#### Patentansprüche

1. Verfahren zur Herstellung von flachen Multichip-Modulen und Dünnschichtleiterplatten mit einer uv- vernetzbaren Beschichtung auf faserverstärkten Kunstharzplatten, **dadurch gekennzeichnet**, daß diejenigen elektronischen Bestückungskomponenten, die sich durch sehr flache Bauweise auszeichnen (vorzugsweise Mikrochips und andere Komponenten in Chipbauform), in speziellen Senken bündig in die Kunstharzplatten eingelassen werden.  
Die faserverstärkten Kunstharzplatten werden im folgenden als "Substrate" bezeichnet.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Senken mechanisch, unter Verwendung von computergesteuerten Maschinen in die Substrate gebohrt und gefräst werden.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß die Ansteuerung der computergesteuerten Maschinen mit Hilfe der Daten von computerbasierten, graphischen Entwurfssystemen erfolgt.
4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die elektrischen Anschlußflächen der Bestückungskomponenten zur Oberfläche der Substrate zeigen.
5. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die in die Senken eingelassenen Bestückungskomponenten durch eine auf dem gesamten Substrat haftfest aufgebrachte, uv- vernetzbare Beschichtung abgedeckt werden.
6. Verfahren nach Anspruch 1, 4 oder 5, dadurch gekennzeichnet, daß in der aufgebrachten Beschichtung durch Belichten mit UV-Strahlung unter Verwendung einer Punktemaske und durch das Freientwickeln der nicht vernetzten Punktbereiche Mikrobohrungen (vorzugsweise in der Größenordnung zwischen 10 µm und 250 µm) entstehen, die die elektrischen Anschlußflächen der Bestückungskomponenten freilegen.
7. Verfahren nach Anspruch 1 oder 6, dadurch gekennzeichnet, daß die Anschlußflächen der Bestückungskomponenten durch die hergestellten Öffnungen maskenfrei und autokatalytisch mit einer metallischen Schutz- und Kontaktschicht überzogen werden (vorzugsweise Nickel).
8. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Oberfläche der uv- vernetzbaren Beschichtung nach seiner Aushärtung

mittels Rauhstrahlen mit Festkörperstrahlgut (vorzugsweise Siliziumkarbid in Korngrößen von P80 bis P600) aufgeschlossen wird (bevorzugte Strahldrücke beim Injektionsverfahren  $\leq 0,8$  bar und bevorzugter Strahlwinkel 90 Grad).

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß der rauhstrahlungsbedingte Hinterschneidungsgrad und somit die Oberflächenporosität durch Plasmaätzen weiter verstärkt wird.

10. Verfahren nach Anspruch 1 oder 8 oder 9, dadurch gekennzeichnet, daß die aufgeschlossene Oberfläche außenstromlos mit einer dünnen, elektrisch leitenden Schicht (vorzugsweise 1 µm starkes Kupfer) metallisiert wird.

11. Verfahren nach Anspruch 1 oder 10, dadurch gekennzeichnet, daß auf die dünne Metallschicht das "Semiadditiv- Verfahren" zur Herstellung von Leiterbahnzügen angewendet wird.

12. Verfahren nach Anspruch 1, 5 oder 6, dadurch gekennzeichnet, daß die Leiterbahnebene mit einer weiteren uv- vernetzbaren Beschichtung haftfest überzogen wird, aus der Zugänge zu exponierten Punkten der abgedeckten Leiterzüge herausentwickelt werden (Durchsteiger).

13. Verfahren nach den Ansprüchen 1 oder 8 bis 12, dadurch gekennzeichnet, daß sich zahlreiche Leiterbahn- und Isolationsschichten aufeinandererschichten lassen. Dabei verfügen die Leiterbahnebenen gemäß Schaltungslayout über elektrisch leitfähige Verbindungspunkte (Durchkontaktierungen).

14. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß sich die Bestückungs- und Beschichtungsverfahren auch auf beide Substratseiten gleichzeitig anwenden lassen.

15. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß sich bei einseitiger Bestückung die Stärke des Substratmaterials nach der Stärke der Bestückungskomponenten mit der größten Höhenausdehnung richtet, zuzüglich einer ausreichenden Materialstärke für den Senkenboden (Fig. 1).

16. Verfahren nach Anspruch 1 oder 15, dadurch gekennzeichnet, daß sich bei doppelseitiger Bestückung die Materialstärke des Substrats nach der zweifachen Stärke der Bestückungskomponente mit der größten Höhenausdehnung richtet, zuzüglich einer ausreichenden Materialstärke für die Senkenböden.

17. Verfahren nach Anspruch 1 oder 6, dadurch gekennzeichnet, daß sich als uv- vernetzbare Beschichtung u. a. das in der Leiterplattenfertigung als "Lötpstopmmaske" bezeichnete Kunststofflaminat eignet.

18. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß sich die Substrate nach Abschluß der Bestückungs- und Kontaktierungsprozesse zur weiteren ein- oder beidseitigen Bestückung mit oberflächenmontierbaren Bauelementen (SMD) eignen.

19. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß sich das Substrat mit aktiven oder passiven Kühleinrichtungen verbinden läßt.

20. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß sich das Substrat mit elektrisch leitenden, elastischen Kontaktbereichen versehen läßt, die zur Anbindung an weitere Substrate korrespondierender Bauart dienen.

21. Verfahren nach Anspruch 1 oder 20, dadurch gekennzeichnet, daß sich zahlreiche Substrate korrespondierender Bauart zu einem Gesamtsystem verbinden

lassen.

---

Hierzu 3 Seite(n) Zeichnungen

---

5

10

15

20

25

30

35

40

45

50

55

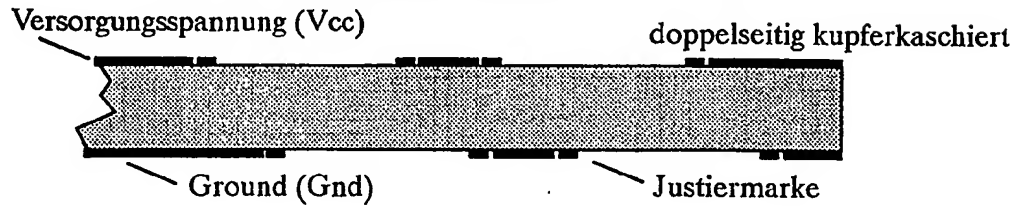
60

65

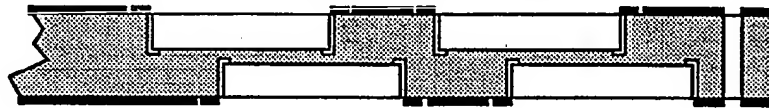
# Fertigungsschritte

(Im Schnitt dargestellt)

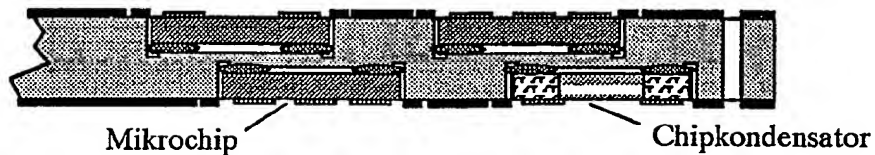
**Fig. 1** Doppelseitige Leiterplatte mit Vcc- und Gnd-Lage und mit Justiermarken für die Dice



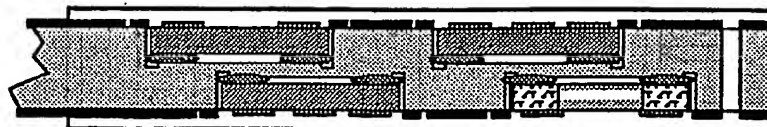
**Fig. 2** Bohrungen und ausgefräste Mikrochip-Senken (hier für beidseitige Bestückung)



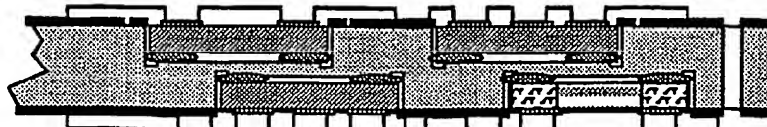
**Fig. 3** Bauteile mit Wärmeleitkleber eingesetzt (Kontaktflächen weisen zur Oberfläche)



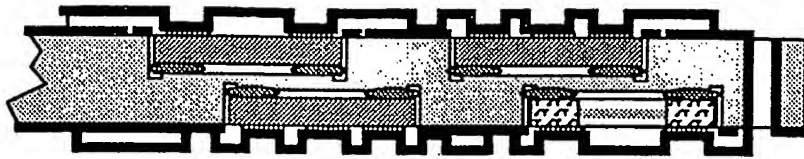
**Fig. 4** Photographische Isolationsschicht aufgegossen oder aufgewalzt



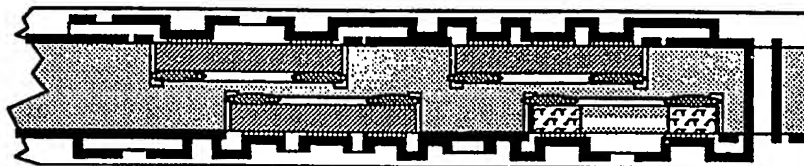
**Fig. 5** Isolationsschicht mit UV-Licht und Belichtungs-masken strukturiert und die Strukturen herausentwickelt (Vias und Chipankontaktierung)



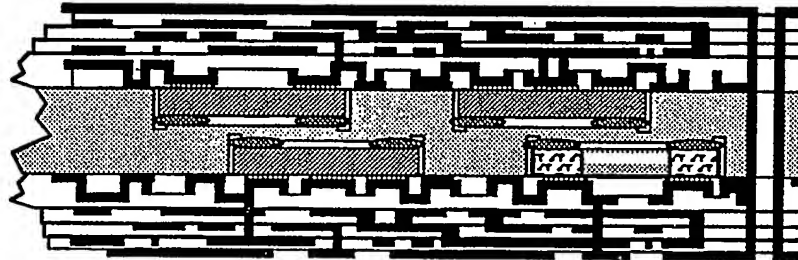
**Fig. 6** Oberfläche chemisch metallisiert (Nickel/Kupfer)  
(1. Signalleiterebene)



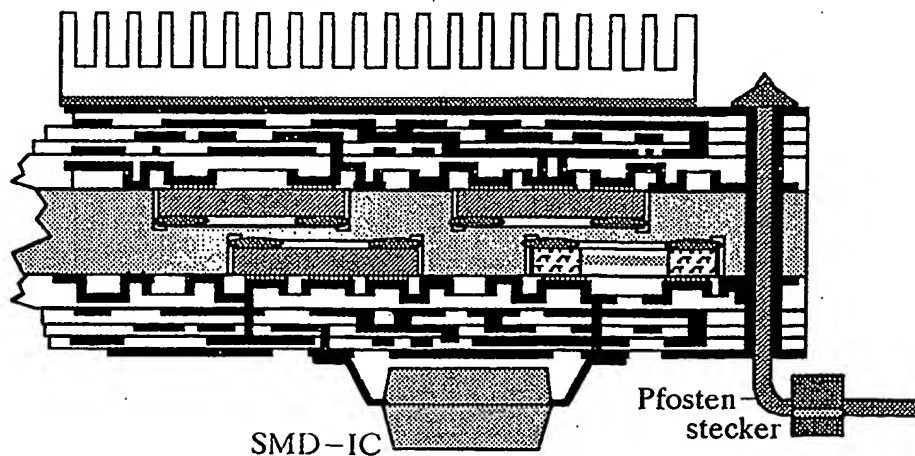
**Fig. 7** Leiterzüge der 1. Signalebene mittels Semiadditiv-Verfahren realisiert und anschließend erneut mit fotografischer Isolationsschicht überzogen.



**Fig. 8** Weitere Layer wie in Pkt. 5 bis Pkt. 7 beschrieben. Äußere Abschlußflächen entweder geschlossen metallisiert oder mit SMT-Pads versehen.



**Fig. 9** Kühlkörper mit Wärmeleitkleber aufgesetzt (optional) und Substrat wie herkömmliche Leiterplatte nach SMT bestückt



# Räumliches Schnittbild

Figur 10

